

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-282815

(43)Date of publication of application : 15.10.1999

(51)Int.Cl.

G06F 15/16

G06F 15/16

G06F 9/46

G06F 12/08

(21)Application number : 10-103970

(71)Applicant : NEC CORP

(22)Date of filing : 31.03.1998

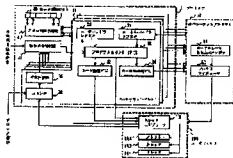
(72)Inventor : SAKAI JUNJI

(54) MULTI-THREAD COMPUTER SYSTEM AND MULTI-THREAD EXECUTION CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a multi-thread computer system which includes a user level interrupt mechanism of reduced overhead and a fast exclusive control mechanism to execute a fine grain multi-thread.

SOLUTION: When a thread execution is started by a processor element 11, the value of a counter 26 is decreased for every clock. When the value of the counter 26 is set to zero, an interrupt control part 41 starts the user level interrupt processing to shift its control to the address of a user thread scheduler 101 that is set at a user handler register 20. Meanwhile, a test-and-set instruction performs a lock operation to a lock variable set 30 included in a processor 1 and attains an exclusive control among the elements 11.



LEGAL STATUS

[Date of request for examination] 31.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3546694

[Date of registration] 23.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

特開平11-282815

(43) 公開日 平成11年(1999)10月15日

| (51) Int. Cl. ⁴ | 識別記号 | F I |
|----------------------------|-------|-----------------------|
| G 0 6 F 15/16 | 4 3 0 | G 0 6 F 15/16 4 3 0 B |
| | 3 9 0 | 3 9 0 Z |
| 9/46 | 3 6 0 | 9/46 3 6 0 B |
| 12/08 | | 12/08 H |
| | | Q |

審査請求 有 請求項の数 9 F D (全 9 頁)

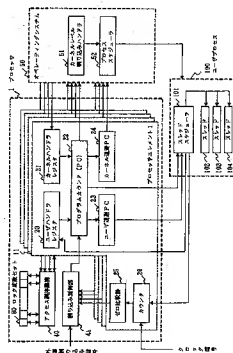
| | | | |
|-----------|------------------|----------|--|
| (21) 出願番号 | 特願平10-103970 | (71) 出願人 | 000004237 日本電気株式会社 東京都港区芝五丁目7番1号 |
| (22) 出願日 | 平成10年(1998)3月31日 | (72) 発明者 | 酒井 淳嗣 東京都港区芝五丁目7番1号 日本電気株 式会社内 |
| | | (74) 代理人 | 弁理士 境 廣巳 |

(54) 【発明の名称】 マルチスレッド計算機システム及びマルチスレッド実行制御方法

(57) 【要約】

【課題】 細粒度マルチスレッド実行を可能にするための、オーバーヘッドの少ないユーザレベルでの込み機構と高速な排他制御機構とを備えたマルチスレッド計算機システムを提供する。

【解決手段】 プロセッサエレメント11でスレッドの実行が始まるとカウンタ26はクロック毎に減じられる。カウンタ26の値がゼロになると割り込み制御部41がユーザレベルでの込み処理を開始し、ユーザハンドレジスタ20に設定されているユーザスレッドステージユーラ101のアドレスに制御を移す。また、テストアンドセット命令はプロセッサ1内のロック変数セット30に対してロック操作を行い、プロセッサエレメント間での排他制御を実現する。



【特許請求の範囲】

【請求項1】 ユーザレベルの割り込みハンドラのエントリアドレスを保持するユーザハンドラレジスタと、プログラムカウンタの値の追進先レジスタであるユーザ追進PCと、

割り込み要求信号の入力によりプログラムカウンタ値をユーザ追進PCに設定すると共にユーザハンドラレジスタ値を新しいプログラムカウンタに設定するような割り込み処理を行なう割り込み制御部とを備え、複数のスレッドを管理する際のプリエンプションを上記割り込み機構を用いてユーザ空間内で行なうことを特徴とするマルチスレッド計算機システム。

【請求項2】 クロック毎に値が減じられていくダウンカウンタと、カウンタ値がゼロになった場合に信号を出力するゼロ比較器と、

ゼロ比較器のゼロ一致出力によってユーザレベル割り込み処理を行なう割り込み制御部を備える請求項1記載のマルチスレッド計算機システム。

【請求項3】 各プロセスサエメントからアクセスできる1ビットの記憶装置の集合と、その各記憶装置に対してプロセスサエメント間で排他的に値の操作を行なう計算機命令セットとを備える請求項1または2記載のマルチスレッド計算機システム。

【請求項4】 各プロセスサエメントからアクセスでき、プロセスサエメントに対応した識別番号をもつトークンを到着順に格納するキュー構造の集合と、キュー構造に対してプロセスサエメント間で排他的にトークンの追加、検索あるいは削除の操作を行なうキュー制御機構と、前記キュー構造に対するトークンの追加、検索あるいは削除操作を行なうための計算機命令セットとを備えることを特徴とする請求項1または2記載のマルチスレッド計算機システム。

【請求項5】 各プロセスサエメントで共有されるキャッシュメモリと、キャッシュメモリ上の同一アドレスに対するアクセスをプロセスサエメント間で調停するアクセス調停機構と、キャッシュメモリ上にあるメモリ要素に対する排他的な値の操作を行なう計算機命令セットとを備えることを特徴とする請求項1または2記載のマルチスレッド計算機システム。

【請求項6】 複数のプロセスサエメントを含むプロセスと前記複数のプロセスサエメントで共有される主記憶メモリとを備え、一つのユーザプロセスを複数のスレッドに分割し、そのユーザプロセス内のスレッドスケジューラの制御の下に複数のスレッドを複数のプロセスサエメントに割り当てて同時に実行するマルチスレッド計算機システムにおけるマルチスレッド実行制御方

法において、

(a) ユーザプロセスのスレッドが割り当てられるプロセスサエメント内のユーザハンドラレジスタにそのユーザプロセスのスレッドスケジューラの置かれているメモリアドレスを設定すると共に、そのプロセスサエメント内のカウンタにそのスレッドに割り当てられるタイムクォンタム値を設定する段階

(b) プロセスサエメントにおけるスレッドの実行開始と同時にそのプロセスサエメント内の前記カウンタの値を一定周期で更新し、予め定められたカウント値に達した時点でユーザレベル割り込みを発生させる段階

(c) ユーザレベル割り込みの処理において、割り込み要求元のプロセスサエメントの現在のプログラムカウンタの値をそのプロセスサエメント内のユーザ追進PCに設定し、そのプロセスサエメント内のユーザハンドラレジスタに設定されたメモリアドレスをプログラムカウンタに設定することにより制御をユーザプロセス内のスレッドスケジューラに移す段階を含むことを特徴とするマルチスレッド実行制御方法。

【請求項7】 複数のプロセスサエメントで実行される複数のスレッド間の排他制御を、プロセスサエメント内に設けられ且つプロセスサエメント間で排他的に値の操作が行なえる計算機命令セットによって各プロセスサエメントからアクセス可能な1ビットの記憶装置の集合を用いて行なうことを特徴とする請求項6記載のマルチスレッド実行制御方法。

【請求項8】 複数のプロセスサエメントで実行される複数のスレッド間の排他制御を、プロセスサエメントに対応した識別番号をもつトークンを到着順に格納するプロセスサエメント内のキュー構造の集合であって、プロセスサエメント間で排他的にトークンの追加、検索あるいは削除が行なえる計算機命令セットによって各プロセスサエメントからアクセスできるキュー構造の集合を用いて行なうことを特徴とする請求項6記載のマルチスレッド実行制御方法。

【請求項9】 複数のプロセスサエメントで実行される複数のスレッド間の排他制御を、同一アドレスに対するアクセスをプロセスサエメント間で調停するアクセス調停機構を通じて各プロセスサエメントからアクセス可能な共有キャッシュメモリ上のメモリ要素であって、プロセスサエメント間で排他的に値の操作が行なえる計算機命令セットによってアクセス可能なメモリ要素を用いて行なうことを特徴とする請求項6記載のマルチスレッド実行制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は並列計算機システムに関し、特に、共有メモリ型マルチプロセス計算機上で、オペレーティングシステムを介することなく複数のスレッドを効率的にスケジューリングするマルチスレッド

計算機システムに関する。

【0002】

【従来の技術】より高い演算処理性能を得るために、一つのシステム内に複数のプロセッサエレメントを備えるマルチプロセッサ構成の計算機システムがある。そのような計算機システムのうち、各プロセッサエレメントが主記憶メモリを共有する構成のものは共有メモリ型マルチプロセッサ計算機システムと呼ばれ、分散メモリ型システムに比べプログラムの記述が容易であるという利点を持つ。

【0003】他方、ソフトウェア面では、一つのプロセスをスレッドと呼ばれる制御の流れに分割し、複数のスレッドを並行して実行する、マルチスレッド実行と呼ばれる並列実行方式がある。マルチプロセッサ計算機システム上では、複数のスレッドを複数のプロセッサエレメントに割り当てて同時に実行させることで処理性能が向上する。

【0004】マルチプロセッサ計算機システムにおけるスレッドの管理は、通常、マルチプロセッサ用オペレーティングシステムが行なう。すなわち、新しいスレッドの生成、別のスレッドとの同期、スレッドの消滅等を行なう場合、当該スレッドはオペレーティングシステムのサビースを呼び出す。

【0005】スレッドのプリエンブションもオペレーティングシステムを介して行なわれる。プリエンブションとは、長時間プロセッサを占有し続けるスレッドの実行を中断させ、他のスレッドの実行に切り替える処理である。プリエンブション機能をもつ計算機システムは、ハードウェアタイマ装置と、所定の時間が経過するとタイマ装置からプロセッサに割り込み信号を伝える仕組みを持っている。ユーザプログラムの実行を開始してから一定の時間が経過すると、タイマ割り込みによってオペレーティングシステムに制御が移り、オペレーティングシステムが実行スレッドの切り替えを行なう。

【0006】マルチプロセッサ計算機システム上で複数のスレッドを効率良く実行するには、スレッドの生成、同期、切り替え、消滅といったスレッド管理のオーバーヘッドを低減させることが重要である。

【0007】サン・マイクロシステムズのソラリス (Solaris) オペレーティングシステムでは、オペレーティングシステムではなく、ユーザレベルのライブラリによってスレッドの管理を行なうことができる。これにより、より低いオーバーヘッドでスレッド管理ができるが、プリエンブションの場合にはオペレーティングシステムが介入する(マルチスレッドプログラミング入門、アスキー出版局、1996年9月、p69～p70およびp76～p77)。

【0008】特開平5-15890号公報に記載されているプリエンブション処理回路は、オペレーティングシステムではなく、専用ハードウェアによってプリエンブションの受け付けを行なうものであるが、受け付け後の切り替

え処理はオペレーティングシステムへの通常の割り込みによって行なっている。

【0009】他方、複数のスレッドによって共有される計算機資源、例えば主記憶メモリ上の共有変数を読み書きする場合には、複数のスレッドがその計算機資源を同時にアクセスすることで誤った処理結果を得ることを回避するために、排他制御と呼ばれる処理を行なう必要がある(排他制御については、例えば、A. S. タンバウム原著「OSの基礎と応用」プレントイスホール・ロップマン、第2章2.2節等に説明されている)。

【0010】排他制御は通常、テストアンドセットやエクスチェンジといった排他制御用のプロセス命令によって実現される。これらの命令は、主記憶上にあるメモリのセルの値の検査とそのメモリセルへの新しい値の設定とを不可分に行なう。例えば、テストアンドセット命令は、以下の3つの操作を、割り込みあるいは他のプロセスによって分断されることなく行なう。

(1) 主記憶上にあるメモリセルの値の計算機レジスタへの読み出し

(2) そのメモリセルへの値1の書き込み

(3) 計算機レジスタへ読み出した値と値0との比較

【0011】共有メモリ型マルチプロセッサ計算機システムでは、異なるプロセッサ間の排他制御を行なうため、これらの排他制御用命令は共有している主記憶メモリに対して作用する。すなわち、排他制御自身のために主記憶メモリへのアクセスが必要になる。

【0012】

【発明が解決しようとする課題】従来の技術の第1の問題点は、マルチスレッド実行のために十分高速な割り込み応答処理ができず、スレッド切り替えのオーバーヘッドが大きかった点である。これは、割り込み処理がオペレーティングシステム内で処理されるため、ユーザプログラムからオペレーティングシステムへのコンテキストの切り替えが発生するからである。

【0013】第2の問題点は、排他制御処理自身のために主記憶メモリへのアクセスが発生し、マルチスレッド処理に不可欠なスレッド間の排他制御や同期処理のオーバーヘッドが大きかった点である。近年のプロセッサの処理速度は主記憶メモリのアクセス速度よりも格段に速いため、多くのプロセッサはキャッシュメモリと呼ばれる高速で小容量のメモリをプロセッサと主記憶メモリの間に備え、プロセッサは専らキャッシュメモリをアクセスすることでメモリアクセスによる処理の遅延を回避している。しかし、排他制御命令は常に主記憶メモリへのアクセスを行なうため、処理速度の低下を招く。

【0014】上に挙げた問題点はいずれもマルチスレッド処理のオーバーヘッドを増大させる原因となり、特に、粒度の小さいスレッド(含有する命令数の少ないスレッド)を単位としてマルチスレッド処理を行なう場合に大きな影響をもたらす。

【0015】

【発明の目的】本発明の目的は、オペレーティングシステムが介在しない高速なユーザレベル割り込みを提供し、マルチスレッド処理の効率を向上させることである。

【0016】本発明の他の目的は、マルチプロセッサ計算機システムにおけるプロセッサエレメント間の高速なロック機構を提供し、マルチスレッド処理の効率を向上させることである。

【0017】

【課題を解決するための手段】本発明のマルチスレッド計算機システムは、オペレーティングシステムが介在しない高速なユーザレベル割り込みを提供する高速ユーザレベル割り込み機構を有する。具体的には、プロセッサ内の割り込み制御部(図2の41)と、各プロセッサエレメント内のカウンタ(図2の26)と、ユーザハンドラレジスタ(図2の20)とを備える。

【0018】また、本発明のマルチスレッド計算機システムは、マルチプロセッサ計算機システムにおけるプロセッサエレメント間の高速なロック機構を提供する高速ロック機構を有する。具体的には、第1の高速ロック機構においては、プロセッサ内にプロセッサエレメント間で共有されるロック変数セット(図2の30)と、それを操作するための計算機命令を備える。また、第2の高速ロック機構においては、キュー構造のロック変数(図3の61、62及び69)を有する。さらに第3の高速ロック機構においては、プロセッサ内の共有キャッシュメモリ(図4の71)と、キャッシュ上のメモリ領域を操作するための計算機命令とを有する。

【0019】また本発明のマルチスレッド実行制御方法は、複数のプロセッサエレメントを含むプロセッサと前記複数のプロセッサエレメントで共有される主記憶メモリとを備え、一つのユーザプロセスを複数のスレッドに分割し、そのユーザプロセス内のスレッドスケジューラの制御の下に複数のスレッドを複数のプロセッサエレメントに割り当てて同時に実行するマルチスレッド計算機システムにおけるマルチスレッド実行制御方法において、オペレーティングシステムが介在しない高速なユーザレベル割り込みを提供するために、以下の段階を含んでいる。

(a) ユーザプロセスのスレッドが割り当てられるプロセッサエレメント内のユーザハンドラレジスタにそのユーザプロセスのスレッドスケジューラの置かれているメモリアドレスを設定すると共に、そのプロセッサエレメント内のカウンタにそのスレッドに割り当てられるタイムクォンタム値を設定する段階

(b) プロセッサエレメントにおけるスレッドの実行開始と同時にそのプロセッサエレメント内の前記カウンタの値を一定周期で更新し、予め定められたカウント値に達した時点でユーザレベル割り込みを発生させる段階

(c) ユーザレベル割り込みの処理において、割り込み要求元のプロセッサエレメントの現在のプログラムカウンタの値をそのプロセッサエレメント内のユーザ追跡PCCに設定し、そのプロセッサエレメント内のユーザハンドラレジスタに設定されたメモリアドレスをプログラムカウンタに設定することにより制御をユーザプロセス内のスレッドスケジューラに移す段階

【0020】また、本発明のマルチスレッド実行制御方法は、マルチプロセッサ計算機システムにおけるプロセッサエレメント間の高速な排他制御を可能にするために、複数のプロセッサエレメントで実行される複数のスレッド間の排他制御を、以下の(a)、(b)、(c)の何れかによって実現している。

(a) プロセッサ内に設けられ且つプロセッサエレメント間で排他的に値の操作が行なえる計算機命令セットによって各プロセッサエレメントからアクセス可能な1ビットの記憶装置の集合を用いて排他制御する。

(b) プロセッサエレメントに対応した識別番号をもつトークンを到着順に格納するプロセッサ内のキュー構造の集合であって、プロセッサエレメント間で排他的にトークンの追加、検索あるいは削除が行なえる計算機命令セットによって各プロセッサエレメントからアクセスできるキュー構造の集合を用いて排他制御する。

(c) 同一アドレスに対するアクセスをプロセッサエレメント間で調停するアクセス調停機構を通じて各プロセッサエレメントからアクセス可能な共有キャッシュメモリ上のメモリ要素であって、プロセッサエレメント間で排他的に値の操作が行なえる計算機命令セットによってアクセス可能なメモリ要素を用いて排他制御する。

【0021】

【作用】カウンタがゼロになると割り込み制御部はユーザレベル割り込み処理を開始する。ユーザレベル割り込み処理では、予めユーザプロセスのスレッドスケジューラの開始アドレスに設定しておいたユーザハンドラレジスタの値をプログラムカウンタに設定し、オペレーティングシステムを経由することなくスレッドスケジューラに制御を移行する。

【0022】プロセッサ内に備えられた高速ロック機構は、主記憶メモリへアクセスする必要のないロック獲得及び解放機能を提供する。

【0023】

【発明の実施の形態】

【構成の説明】本発明の実施の形態について、図面を参照して詳細に説明する。

【0024】図1は、本発明が実施される計算機構成の一例を示す図である。プロセッサ1は内部に複数のプロセッサエレメント11、12及び19を持ち、それらのプロセッサエレメントは共通の主記憶メモリ2に対してアクセスする。

【0025】図2を参照すると、本発明の第1の実施の

7

形態は、内部に複数のプロセッサエレメントを有するプロセッサ1と、そのプロセッサ上で動作するオペレーティングシステム50と、そのオペレーティングシステム上で動作するユーザプロセッサ100とから構成される。

【0026】プロセッサ1内の各プロセッサエレメントは、一般的な計算機のプロセッサが持つレジスタ集合や演算ユニット、制御ユニット等の他に、ユーザレベルのプリエンブション割り込みを発生させるためのカウンタ26とゼロ比較器25、ユーザレベル割り込み発生時の制御移動に使用されるユーザハンドラレジスタ20、ユーザ回避PC23を備えている。

【0027】カウンタ26の値は、クロック信号によってクロック毎に減算される。ゼロ比較器25は、カウンタ26の値とゼロとを比較する。ユーザハンドラレジスタ20はユーザレベル割り込み発生時に実行制御を移すべきプログラムカウンタ値を保持しているレジスタであり、ユーザ回避PC23はユーザレベル割り込みの発生直前のプログラムカウンタ値を記憶しておくためのレジスタである。

【0028】図2のプログラムカウンタ(PC)22及び割り込み制御部41は一般的な計算機のプロセッサが持つプログラムカウンタ及び割り込み制御部と同等の機能を有するものであり、カーネルハンドラレジスタ21及びカーネル回避PC24は一般的な計算機のプロセッサにおける通常の割り込み発生時に用いられる割り込みハンドラレジスタ及びプログラムカウンタ回避用レジスタと同等の機能を有するものである。

【0029】ユーザプロセッサ100はオペレーティングシステム50により生成される実行プログラムの実体である。ユーザプロセッサ100は主記憶メモリ空間を共有する複数のスレッド102、103及び104から構成され、これらのスレッドがプロセッサエレメントに割り当てられ、実行される。スレッドスケジューラ101はユーザプログラムとリンクされた形でユーザプロセッサ100の内部に存在し、当該ユーザプロセスを構成する全スレッドの管理を行なう。

【0030】また、プロセッサ内には全プロセッサエレメントで共有されるロック変数セット30とアクセス制御機構40がある。ロック変数セット30は1ビットの状態を記憶できるロック変数の集合であり、アクセス制御機構40はロック変数へのアクセスをプロセッサエレメント間で調停する機構である。

【0031】

【動作の説明】図2を参照して、本実施の形態の動作について詳細に説明する。

【0032】オペレーティングシステム50がユーザプロセッサ100を開始させると、ユーザプロセッサ100はその内部に組み込んだスレッドスケジューラ101を呼び出す。スレッドスケジューラ101は、ある決まったスケジューリングアルゴリズムに従って当該ユーザプロ

8

セッサ100内のスレッドの集合をスケジューリングする。スレッドスケジューラ101が次に実行すべきスレッド(ここではスレッド102とする)を選択すると、スレッドスケジューラ101はスレッド102に割り当てられるタイムクォンタム値をスレッド102が割り当てられるプロセッサエレメント11のカウンタ26に設定し、スレッドスケジューラ101の置かれているメモリアドレスを当該プロセッサエレメント11のユーザハンドラレジスタ20に設定した後、当該プロセッサエレメント11でスレッド102の実行を開始させる。

【0033】スレッド102が実行されると並行して、カウンタ26の値がクロック信号によって一定時間毎に減じられてゆく。その値がゼロになると、ゼロ比較器25が割り込み制御部41に割り込み要求信号を送る。割り込み制御部41は当該プロセッサエレメント11にてユーザレベル割り込みの処理を開始する。

【0034】ユーザレベル割り込み処理が開始すると、プロセッサエレメント11は現在のプログラムカウンタ22の値をユーザ回避PC23に設定し、ユーザハンドラレジスタ20の値をプログラムカウンタ22に設定する。これにより、オペレーティングシステム50を介することなく、ユーザプロセッサ100の内部にあるスレッドスケジューラ101に速やかに制御が移行する。スレッドスケジューラ101は、レジスタセットの値をはじめとするスレッド102の実行状態をスレッドスケジューラ101の内部の管理データ領域に保存し、定められたスケジューリングアルゴリズムに従って次に実行開始すべきスレッドを選択し、次スレッドのレジスタセットの値を復元すると共に、カウンタ26にそのスレッドに対応するタイムクォンタム値を設定して次スレッドの実行を開始する。

【0035】これに対して、従来の割り込み処理を用いる場合を以下に説明する。まず、割り込み処理開始時にユーザプログラムからオペレーティングシステムにコンテキストを切り替える。このコンテキスト切り替えには、

○現在のプログラムカウンタ22の値のカーネル回避PC24への設定

○カーネルハンドラレジスタ21の値のプログラムカウンタ22への設定

○プロセッサの動作モードのカーネルモードへの切り替え

○必要なレジスタセットの内容の主記憶メモリへの回避といった処理が含まれる。このコンテキスト切り替えによって制御はオペレーティングシステム50内部のカーネルレベル割り込みハンドラ51、次いでプロセッサスケジューラ52に移行する。プロセススケジューラ52は割り込み要因を分析し、あらかじめ定められたスケジューリングアルゴリズムに従って次に実行すべきプロセスを決定する。そして、再度コンテキスト切り替えを行な

50

って次プロセスの実行を開始する。このコンテキスト切り替えには、

○次プロセスのためのレジスタセットの設定

○次プロセス用論理アドレス空間の設定

○プロセッサの動作モードのユーザモードへの切り替え処理

が含まれる。これら一連の処理を終えて、ようやく制御がユーザプロセスに移行する。

【0036】つまり、ユーザレベル割り込み機構の導入により、オペレーティングシステムを経由することによるオーバーヘッドの無い、従来より高速なプリエンプション機構をユーザプログラムで利用することが可能になる。

【0037】なお、ユーザレベル割り込み機構の割り込み要因は、ダウンカウンタのゼロ一致によるプリエンプション割り込みに限定されるものではない。割り込み制御部と対応させれば、例えば、ユーザプロセス内で無効命令割り込みを処理するなどの目的に利用することも可能である。

【0038】次に図2を参照してロック変数セット30を用いた高速ロック機構について説明する。各プロセスサエレメントは、本プロセッサに備わっているテストアンドセット命令を用いてロック変数セット30の内部にあるロック変数にアクセスする。あるプロセスサエレメント11がロック変数に対してテストアンドセット命令を用いると、アクセス制御機構40は他のプロセスサエレメントからロック変数へのアクセスを一時的に禁止し、その間にプロセスサエレメント11はロック変数の値をゼロと比較してプロセスサエレメント11内の状態フラグに反映させ、ロック変数に値1を設定する。ソフトウェア側から見ると、本実施例で述べたテストアンドセット命令の動作は、従来のプロセスサエレメントが備えているテストアンドセット命令の動作と同様であるが、大きな遅延をもたらす主記憶メモリのアクセスを伴わないため、従来よりもはるかに少ないオーバーヘッドで変数をロックすることができる。

【0039】プロセスサエレメントに搭載するロック変数の個数は8個、16個または32個が適当である。その理由は、ユーザ向けの高機能な排他制御及び同期制御機構はより基本的な排他制御機構を用いて容易に構築可能であり、そのような基本的な排他制御機構が用いるロック変数は少数で済むためと、ロック変数の個数を小さな2の幕乗個とすることでロック変数の番号を指定するための命令フィールド幅を小さくし、命令効率を高めることが可能であるためである。また、ロック変数の個数をレジスタセットの一般的なビット数である32あるいは64以内にあることにより、ロック変数セット全体を一つの特殊レジスタとして扱うことが可能になる。これによりロック変数セットをプロセスに対応するコンテキストに含めることが可能になり、プロセス毎に論理的に独立し

た高速ロック機構を用いることができるようになる。

【0040】上に述べたユーザレベル割り込み機構及び高速ロック機構の導入により、従来より細かな単位での並列処理が可能になり、マルチプロセッサ計算機の実効性能を高めると共に、その適用分野を拡大することができる。これが本実施の形態の効果である。

【0041】

【発明の他の実施の形態】次に、ユーザレベル割り込み機構の他の実施形態について説明する。

【0042】図2において、カウンタ26の入力はクロック信号となっているが、この信号は計算機システムのクロック信号そのものには限らない。カウンタ26の入力としてシステムクロック信号を適当な分周器で数分の1に分周したものを用いれば、カウンタ26を構成するハードウェアのビット数やカウンタ26に値を設定する計算機命令のカウンタ値フィールドのビット幅を減らすことができ、ハードウェア及びソフトウェア双方の効率を改善できる。また、システムクロック信号ではなく、当該プロセスサエレメントの命令実行制御機構の信号をカウンタ26に入力し、1命令実行する毎にカウンタ26が減じられるようにする方式にしてもよい。

【0043】次に、高速ロック機構の他の実施形態について説明する。

【0044】図3を参照すると、高速ロック機構の第2の実施形態は、各ロック変数がキュー構造になっているものである。各キュー61、62及び69には、プロセスサエレメント数に等しい個数までのトークンを格納することができる。トークンは各プロセスサエレメントが発行するもので、トークンには発行したプロセスサエレメントの番号が付される。キューに一つ以上のトークンがある場合、当該キューの先頭にあるトークンを発行したプロセスサエレメントがそのキューに対応するロック変数をロックしていることを意味する。このロック変数を操作するために、ロック試行命令とロック解除命令の2種の計算機命令が備わっている。プロセスサエレメント11、12、…、19とキュー61、62、…、69との間に設けられたキュー制御機構60は、ロック試行命令、ロック解除命令の実行時、キュー61、62、…、69に対してプロセスサエレメント間で排他的にトークンの追加、検索、削除の操作を行う。

【0045】プロセスサエレメント11がロック試行命令を実行すると、キュー制御機構60は、ロック試行命令のオペランドで指定されたキュー内（ここではキュー61とする）に当該プロセスサエレメント11のトークンが存在するか否かを検査し、もしトークンが存在しなければ新たにトークンを投入する。また、キュー制御機構60は指定されたキュー61の先頭に当該プロセスサエレメント11に対応するトークンがあるか否かを調べ、その結果をプロセスサエレメント11の状態フラグに設定する。ユーザプログラムはロック試行命令に続く

11

て状態フラグを参照する分岐命令を実行することで、ロックを獲得できたか否かを判断する。

【0046】プロセッサエレメント11がロック解除命令を実行すると、キュー制御機構60は、ロック試行命令のオペランドで指定されたキュー内(ここではキュー61とする)に当該プロセッサエレメント11のトークンがあるか否かを検査し、もしあればそのトークンをキュー61から除去する。

【0047】本実施形態は、ロックを要求した順序をキュー内で記憶し先着順にロックを獲得させるという点で、より公平な排他制御機構を実現できる特長を持つ。

【0048】図4を参照すると、高速ロック機構の第3の実施の形態は、ロック変数のための特別なレジスタ等を持たず、プロセッサ内のキャッシュメモリ(共有キャッシュ)71上のメモリ領域をロック変数として利用するものである。キャッシュメモリ71と各プロセッサエレメント11、12及び19の間にはアクセス調停機構70があり、同一メモリアドレスに対するアクセスを調停する。プロセッサは、従来からの主記憶メモリに対するロック処理命令に加え、キャッシュ71上のメモリ領域をロックするための特別なテストアンドセット命令を備える。従来からの主記憶メモリに対するロック処理命令の場合、ロック変数の値を設定する際にキャッシュラインの主記憶メモリへの吐き出しを行なうが、この特別なテストアンドセット命令は通常のメモリアクセス命令と同様に処理される。即ち、ロック変数へ値を設定する際にキャッシュラインの主記憶メモリへの吐き出しを行なわない。このため、通常のキャッシュ操作によってロック変数がキャッシュから主記憶メモリへ追い出されない限り、通常のメモリアクセス命令と同等の速度でロック操作が行なえる特長を持つ。

【0049】

【発明の効果】本発明の第1の効果は、オペレーティングシステムを経ないユーザレベルの割り込み機構を実現できることである。これによりスレッド切り替えのためのオーバーヘッドが小さくなり、従来より小さな粒度でのマルチスレッド実行が可能になる。

【0050】本発明の第2の効果は、比較的応答速度の遅い主記憶メモリをアクセスすること無くプロセッサエレメント間の排他制御が実現できることである。これに

10

よりスレッド管理やスレッド間の通信にかかわるオーバーヘッドが小さくなり、従来より小さな粒度でのマルチスレッド実行が可能になる。

【0051】これらの低オーバーヘッド効果により、共有メモリ型マルチプロセッサ計算機の実用分野が拡大され、大きな粒度での並列性が少ないプログラムに対してマルチスレッド実行による性能向上が可能になる。

【図面の簡単な説明】

【図1】本発明が実施される計算機の構成例を示す図である。

【図2】本発明の第1の実施の形態を示す図である。

【図3】本発明における高速ロック機構の第2の実施の形態を示す図である。

【図4】本発明における高速ロック機構の第3の実施の形態を示す図である。

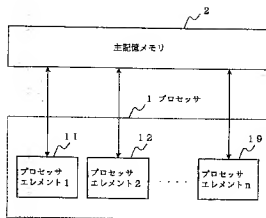
【符号の説明】

- 1 プロセッサ
- 2 主記憶メモリ
- 11~19 プロセッサエレメント
- 20 ユーザハンドラレジスタ
- 21 カーネルハンドラレジスタ
- 22 プログラムカウンタ
- 23 ユーザ追進PC
- 24 カーネル追進PC
- 25 ゼロ比較器
- 26 カウンタ
- 30 ロック変数セット
- 40 アクセス調停機構
- 41 割り込み制御部
- 50 オペレーティングシステム
- 51 カーネルレベル割り込みハンドラ
- 52 プロセススケジューラ
- 60 キュー制御機構
- 61~69 キュー
- 70 アクセス調停機構
- 71 キャッシュメモリ
- 100 ユーザプロセス
- 101 スレッドスケジューラ
- 102~104 スレッド

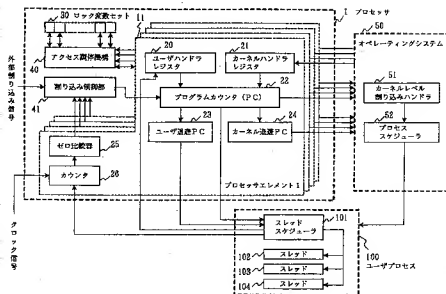
12

40

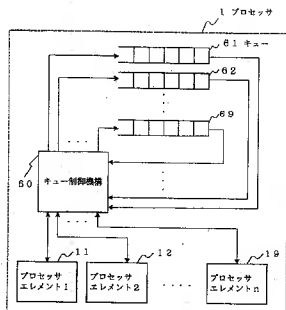
【 図1 】



【 図2 】



【 図3 】



【 図4 】

